

3次元積層デバイス向けの ウェーハ極薄加工とデバイス特性への影響

営業技術部

Wafer ultra-thinning process for 3D stacked devices and the influences on the device characteristics

Sales Engineering Department

要旨

半導体産業において微細化の代わりに性能や集積度を向上する方法として、Si 貫通電極 (Through Silicon Via: TSV) を用いた三次元積層技術が注目を集めている。デバイスを縦方向へ積層する為、Si ウェーハの薄化は必須である。更に、極薄積層構造を用いることで低アスペクト比の TSV が形成でき、信号遅延の低減、低消費電力、低 TSV 残留応力、TSV プロセスの難易度の低減など、さまざまな優位性が期待できる。しかし、極薄化によるデバイスへのダメージや影響についてはまだ明らかではない。本稿では、薄化によるデバイスへの影響を明らかにする為、FRAM (Ferroelectric Random Access Memory)、HP (High performance) Logic、DRAM (Dynamic Random Access Memory) ウェーハを用いて、Si 厚さを 10 μm 以下まで薄くし、薄化前後の電気特性結果を報告する。

Abstract

In the semiconductor industry, 3D integration using through-silicon via (TSV) has been considered to be a promising way for improving performance and density instead of conventional device scaling. Si wafer thinning is an important technology in 3D stacking. Since the ultra-thin device provides low aspect ratio TSV, several advantages can be expected, such as reduced parasitic RC delay, lower power consumption, and lower TSV residual stress. However, the effects of ultra-thinning on the device are still unclear. In this review, we report the results of the electrical characteristics before and after thinning down to 10 μm using FRAM (Ferroelectric Random Access Memory), HP (High performance) Logic, and DRAM (Dynamic Random Access Memory).

1. はじめに

半導体産業を牽引して来たデバイスの微細化は技術的及び経済的な面で大きな転換期を迎えつつある。微細化の限界を克服する方法として Si 貫通電極 (Through Silicon Via: TSV) を用いた三次元積層技術が注目を集めており、一部量産の報告も行われている^[1]。積層した Chip 間は TSV 垂直配線で接続

することで、広帯域幅の I/O と配線長の短縮ができる。更に、配線長短縮は寄生抵抗及び容量や消費電力の低減に繋がる。また、複数のデバイスを積層することで小フットプリントの実装もでき、モバイルデバイス向けに期待されている (図 1)^[2]。3次元積層構造では、デバイスを多段積層する為、Si ウェーハの薄化は必須である。更に、ウェーハを極

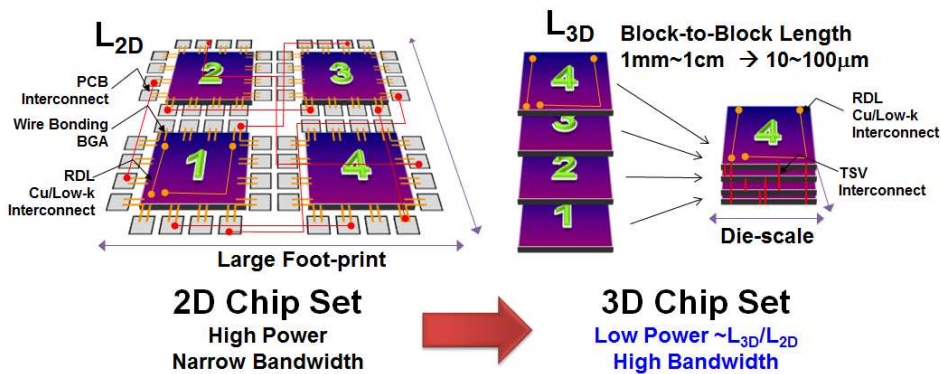


Fig. 1 2次元と3次元積層デバイスの比較

Advantages of small TSV (or thin wafer)

- Performance**
 - smaller parasitic capacitance
 - lower power consumption
 - High IO density
- Reliability**
 - lower TSV stress
- Cost**
 - shorter process time

Fig. 2 TSVにおけるSi極薄化のメリット

薄化した積層構造を用いることで、低アスペクト比のTSV形成ができ、配線抵抗と寄生容量が小さくなる。更に低消費電力、低TSV残留応力、TSVプロセスの低コスト化も実現できる(図2)。

しかし、極薄化によるデバイスへの影響についてはまだ深く議論されてない。本稿では、薄化によるデバイスへの影響を明らかにする為、Si厚さ10μm以下まで薄くしたFRAM (Ferroelectric Random Access Memory)、HP (High performance) Logic、DRAM (Dynamic Random Access Memory) ウェーハを用いて電気特性評価と物理解析を行い、薄化の限界について報告する^[2-5]。

2. ウェーハ薄化プロセス

Siウェーハの薄化は研削(Back Grind = BG)とstress reliefの2段階で行う(図3)。更に研削は、砥粒の大きさが違うホイールを

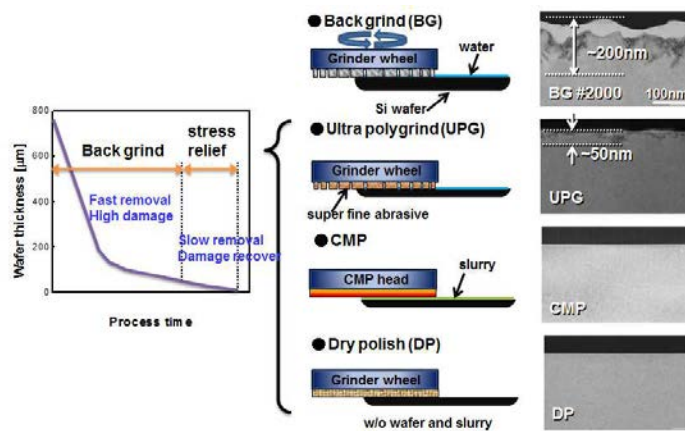


Fig. 3 Siウェーハ薄化プロセスと研削及びstress relief後の裏面TEM写真

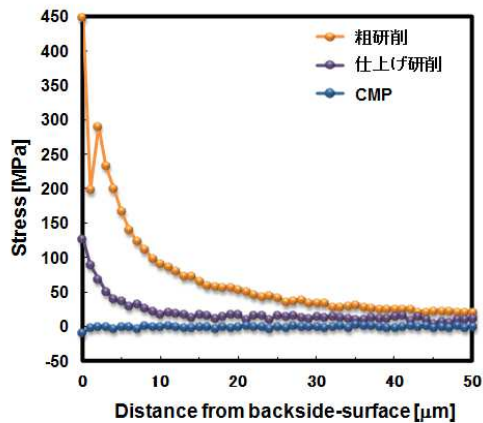


Fig. 4 μ -Raman 分光を用いた深さ方向の歪分布（シフト量から歪を計算）

用いて、粗（#320）と仕上げ（#2000）の順でそれぞれ所定の厚さまで薄化する。砥粒の大きさは、一般的に#（メッシュ）で表記され、数値が大きいほど砥粒が小さいことを示す。砥粒のサイズが大きいホイールを使う粗研削工程は、研削速度は速いが、研削面に大きなダメージ層が残り、約 5 μm 深さまで転位 (dislocation) や積層欠陥 (stacking fault) が残っている。このようなダメージ層は、砥粒サイズが小さいホイールで仕上げ研削することで、かなり低減されるが、#2000 でも 0.2 μm 厚さのダメージ層は残る。Si の残り厚さが十分厚い場合は、仕上げ研削で完了することもあるが、裏面のダメージ層があると機械強度が弱くなる為、薄い Chip の場合、ダメージ層の除去 (stress relief) が求められる場合もある。その方法として、UPG (ultra poligrind)、CMP (chemical mechanical polish)、DP (dry polish) などがある。研削と stress relief の組み合わせについては、要求仕様によって最適化する。

研削や stress relief した裏面の歪と欠陥の分布について解析を行った。薄化による歪の影響は μ -Raman で分析した。粗、仕上げ、CMP 後のウェーハを裏面から深さ方向へ

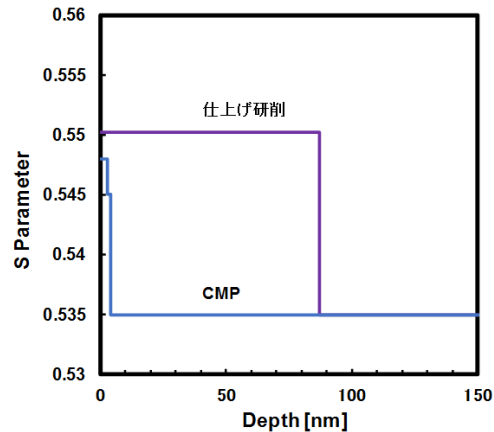


Fig. 5 陽電子消滅法で測定した結果からシミュレーションした欠陥の分布

Raman 分光で測定し、そのシフト量から歪を計算した (図 4)。粗研削後の裏面は約 450 MPa の圧縮応力が発生していて、弾性応力として深さ 40 μm まで残留していることが分かる。仕上げ研削後は、裏面近傍は 120 MPa まで大幅に低減され、弾性応力として深さ 10 μm まで残留している。CMP 処理をすると、 μ -Raman の検出限界以下となり、残留応力は観察されなかった。

研削で発生した空孔型欠陥の分布は陽電子消滅法 (Positron Annihilation Spectroscopy) を用いて確認した (図 5)。正の電荷を持つ陽電子は固体に入射した後、空孔型欠陥に捕獲される場合、その電子運動量分布は格子間位置の電子とは異なる為、ドップラー広がり先鋭化する。この変化は S parameter (Shape parameter) として評価され、空孔型欠陥に陽電子が捕獲されると S の値は大きくなる。また、空隙サイズが大きくなるほど S の値は大きくなる。仕上げ及び CMP 処理後の Si ウェーハの実測結果からシミュレーションした欠陥の分布を示す (図 5)。仕上げ研削後の場合、殆どの欠陥は裏面から 100 nm 近傍に留まっており、TEM 観察結果と一致する。CMP 後はダメージ層の

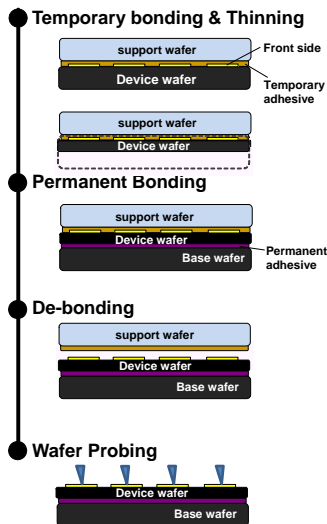


Fig. 6 WOW (Wafer-on-a-Wafer)プロセスを用いたデバイスウェーハ薄化及び評価フロー

除去に伴い、裏面から 10 nm 近傍まで僅かな欠陥が分布している。

以上のように薄化プロセスによって、裏面の歪や欠陥の分布が大きく異なることが分かった。これからは歪と欠陥がデバイスへどのように影響及ぼすか検証する。

3. 実験方法

WOW (Wafer-on-a-Wafer) プロセスを用いたデバイスウェーハ薄化及び評価フローについて紹介する (図 6) [6]。薄化の影響評価は 180-nm node FRAM、45-nm node HP Logic、40-nm node DRAM ウェーハで行った。

デバイスウェーハは仮接着剤が塗布されている第 1 支持基板にウェーハのデバイス側を貼り合せた後、研削で目標厚さまで薄化を行う。薄化工程はデバイスの種類によって stress relief 方法のみ変更した。狙い Si 残り厚さは 4~40 μm である (表 1)。研削に用いた装置は Grinder/Polisher DGP8761 (DISCO) であり、300 mm ウェーハの研削平坦度は、TTV<2 μm の精度である。薄化デバイスウェーハは永久接着剤が塗布されている第 2

Device	粗研削	仕上げ研削	stress relief	狙い Si 厚さ [μm]
FRAM	#320	#2000	CMP	9
HP Logic	#320	#2000	UPG	7
DRAM	#320	#2000	w/o	40~4

Table 1 デバイスの種類によるウェーハ薄化プロセス及び狙い Si 厚さ

支持基板に転写し、第 1 支持基板を剥離後、電気特性評価を実施した。

4. 結果と考察

不揮発性メモリとして使われている FRAM の薄化前後の特性について調べる。FRAM はキャパシターとして強誘電体を使われており、水素が強誘電体膜に侵入すると強誘電体結晶から酸素を奪い、欠陥が生じる為強誘電体分極値が劣化する。水分などの影響を確認する為、CMP 処理を追加した。図 7 は、厚さ 9 μm まで薄化した FRAM の断面 SEM 写真とヒステリシス特性を示す。薄化前後のヒステリシス特性は測定誤差範囲の差しか見られないことから、薄化及び Wet プロセスによる劣化は

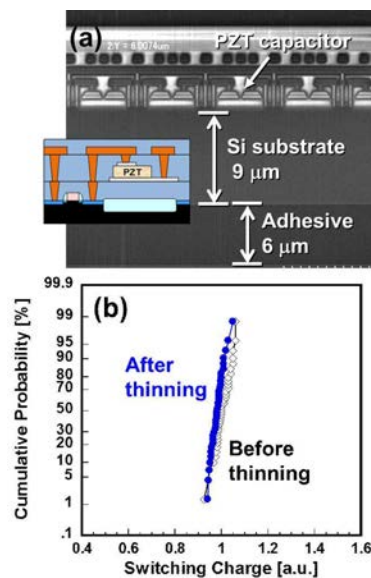


Fig. 7 薄化後の FRAM 断面 SEM 写真 (a) と薄化前後のヒステリシス特性 (b)

ないことが分かる。

次に HP Logic デバイスの薄化への影響について述べる。Logic ウェーハの場合、機械強度とゲッターリング特性の面から stress relief として UPG で処理し、Si 残り厚さ $7\text{ }\mu\text{m}$ まで薄化を行った。今回評価した Logic は電子の移動度を向上させて、トランジスタの性能を改善する為、歪技術 (strain technology) が導入されている。また、RC 遅延改善の為、Cu/Low-k 配線構造であり、機械強度は Al/SiO₂ 配膳より弱い。即ち、裏面の残留応力や薄化プロセスについて影響を受け易いと思われる。しかし、Si 残り厚さ $7\text{ }\mu\text{m}$ まで薄化してもトランジスタの駆動電流の劣化は見られなかった (図 8)。本結果は、UPG 後発生した残留応力と欠陥は Logic デバイス特性に影響を及ぼさないことを表す。

Si の残り厚さによるデバイス特性依存は DRAM ウェーハを用いて詳しく調べた。Si 厚さは $4\sim 40\text{ }\mu\text{m}$ 範囲で、粗・仕上げ研削のみ行った。300 mm ウェーハの研削平坦度 (TTV)

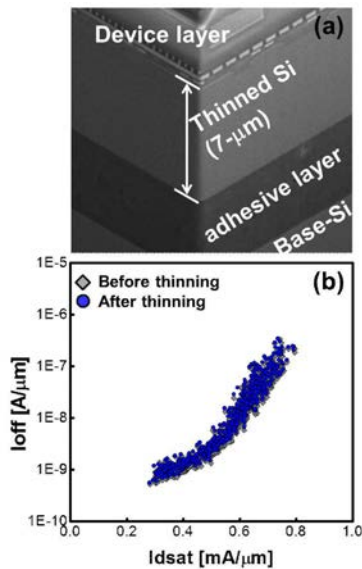


Fig. 8 薄化後の HP Logic 断面 SEM 写真 (a) と薄化前後の駆動電流特性(b)

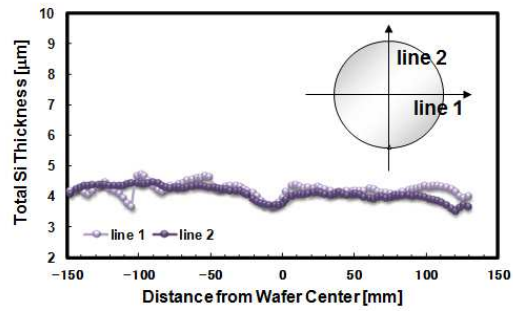


Fig. 9 $4\text{ }\mu\text{m}$ まで薄化した DRAM ウェーハの TTV 測定結果

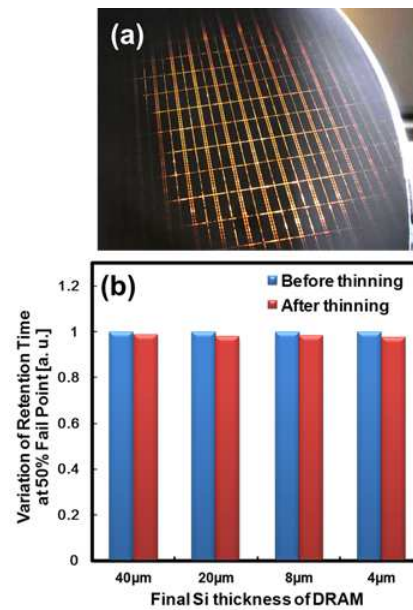


Fig. 10 $4\text{ }\mu\text{m}$ まで薄化した DRAM ウェーハ (a)と薄化前後のリテンション特性(b)

は、 $1.02\sim 1.94\text{ }\mu\text{m}$ の精度であり、 $4\text{ }\mu\text{m}$ の場合 TTV= 1.02 と非常に良好な平坦度を達成できた (図 9)。 $4\text{ }\mu\text{m}$ という厚さは、元厚 ($775\text{ }\mu\text{m}$) の 0.5% に相当し、可視光も透過する位の薄さでもある (図 10(a))。Si 残り厚さに対するリテンション特性変動を確認したが、 $4\text{ }\mu\text{m}$ まで薄化しても劣化は見られなかった (図 10 (b))。2 章で述べたように仕上げ研削後の裏面には圧縮応力と欠陥が残っていることとリテンション特性に変動がないことか

ら、研削により発生した応力と欠陥は 4 μm 厚さまでは影響を及ぼさないと云える。

5. おわりに

極薄化及び WOW 技術を用いて FRAM、HP Logic、DRAM ウェーハの薄化による電気特性変動を調査した。同技術により、Si 厚さバラツキは 2 μm 以下が実現できた。薄化によるデバイスへの影響を明らかにする為、Si 厚さ 9 μm FRAM や 7 μm HP Logic や 4 μm DRAM を用いて評価を行ったが、デバイスの劣化は確認されなかった。物理解析の結果から薄化による歪と欠陥の影響は見られなかった。

極薄 Si デバイスを用いれば、積層チップの配線長が従来よりも大幅にも短くなり、配線抵抗及び容量が大幅に低減される。我々は、極薄デバイスの実現を目指して、更なる最適化と開発を進めている。

参考文献

- [1] D. U. Lee, K. W. Kim, K. W. Kim, H. Kim, J. Y. Kim, Y. J. Park, J. H. Kim, D. S. Kim, H. B. Park, J. W. Shin, J. H. Cho, K. H. Kwon, M. J. Kim, J. Lee, K. W. Park, B. Chung, S. Hong, IEEE ISSCC2014, pp. 432 (2014).
- [2] Y. S. Kim, S. Kodama, Y. Mizushima, N. Maeda, H. Kitada, K. Fujimoto, T. Nakamura, D. Suzuki, A. Kawai, K. Arai, and T. Ohba, IEEE Symp. on VLSI Technol., pp.26 (2014).
- [3] Y. S. Kim, N. Maeda, H. Kitada, K. Fujimoto, S. Kodama, A. Kawai, K. Arai, K. Suzuki, T. Nakamura, and T. Ohba, Microelectronic Eng., Elsevier, 107 pp. 65 (2013).
- [4] Y. S. Kim, A. Tsukune, N. Maeda, H. Kitada, A. Kawai, K. Arai, K. Fujimoto, K. Suzuki, Y.

- Mizushima, T. Nakamura, T. Ohba, T. Futatsugi, and M. Miyajima, IEEE IEDM Tech. Dig. pp.365 (2009).
- [5] N. Maeda, Y.S. Kim, Y. Hikosaka, T. Eshita, H. Kitada, K. Fujimoto, Y. Mizushima, K. Suzuki, T. Nakamura, A. Kawai, K. Arai, and T. Ohba, IEEE Symp. on VLSI Technol., pp. 105-106 (2010).
- [6] T. Ohba, Y. S. Kim, Y. Mizushima, N. Maeda, K. Fujimoto, and S. Kodama, IEICE Electronics Express, 7 pp. 20152002 (2015).